



全志科技
Allwinner Technology

A64 PCB Layout Guide

V1.0

Revision History

Version	Date	Changes
V1.0	2015-04-23	

Contents

- Stack Up

- CPU

 - § Ball Fanout

 - § A64 Power/GND

 - § 24MHz Crystal

- Memory

 - § DRAM

 - § NAND、eMMC

- AXP803 (PMIC&Codec)

 - § Power

 - § Audio

- Interface

 - § CSI

 - § MIPI DSI、LVDS

 - § HDMI

 - § USB、HSIC

- WIFI/BT/GPS

 - § WIFI、BT

 - § GPS

- ESD/EMC

 - § ESD

 - § EMC

Contents

➤ Stack Up

➤ CPU

§ Ball Fanout

§ A64 Power/GND

§ 24MHz Crystal

➤ Memory

§ DRAM

§ NAND、eMMC

➤ AXP803 (PMIC&Codec)

§ Power

§ Audio

➤ Interface

§ CSI

§ MIPI DSI、LVDS

§ HDMI

§ USB、HSIC

➤ WIFI/BT/GPS

§ WIFI、BT

§ GPS

➤ ESD/EMC

§ ESD

§ EMC

Stack Up

1、4层板，叠层结构和阻抗控制建议如下：

❖如果需调整板厚，请调整2、3层之间介质厚度，保持其他介质厚度不变。

---	Stackup Structure			Impedance Requirements				
Layer	Type	Thickness (mil)		Dk(with Sim Z0)	Impedance spec (Ohms)	Reference layer	Width/space (mil)	Sim Z0(Ohms)
	solder mask	0.5	SM	4.25				
1	TOP	1.6	0.3oz+plating	4	50±10%	2	4	52.18
					90±10%	2	4.5/7.5	90.03
					100±10%	2	3.8/8.7	98.5
	prepreg	2.9		4				
2	GND	1.2	1.0oz					
	core	27.0		4.5				
3	VCC	1.2	1.0oz					
	prepreg	2.9		4				
4	BOTTOM	1.6	0.3oz+plating	4	50±10%	3	4	52.18
					90±10%	3	4.5/7.5	90.03
					100±10%	3	3.8/8.7	98.5
	solder mask	0.5	SM	4.25				
	Board thickness:	39.4						

Stack Up

2、6层板，叠层结构和阻抗控制建议如下：

❖如果需调整板厚，请调整3、4层之间介质厚度，保持其他介质厚度不变。

Stackup Control Table								
---	Stackup Structure			Impedance Requirements				
Layer	Type	Thickness (mil)		Dk(with Sim Z0)	Impedance spec (Ohms)	Reference layer	Width/space (mil)	Sim Z0(Ohms)
	solder mask	0.5	SM	4.25				
1	TOP	1.6	0.3oz+plating		50±10%	2	4	52.18
					90±10%	2	4.5/7.5	90.03
					100±10%	2	3.8/8.7	98.5
	prepreg	2.9		4				
2	GND	1.2	1.0oz					
	core	4.0		4.2				
3	SIG1	1.2	1.0oz		50±10%	2&5	4	51.67
					90±10%	2&5	4.5/7.5	88.18
					100±10%	2&5	3.8/8.7	96.3
	prepreg	17.0		4.5				
4	SIG2	1.2	1.0oz		50±10%	2&5	4	51.67
					90±10%	2&5	4.5/7.5	88.18
					100±10%	2&5	3.8/8.7	96.3
	core	4.0		4.2				
5	VCC	1.2	1.0oz					
	prepreg	2.9		4				
6	BOTTOM	1.6	0.3oz+plating		50±10%	5	4	52.18
					90±10%	5	4.5/7.5	90.03
					100±10%	5	3.8/8.7	98.5
	solder mask	0.5	SM	4.25				
	Board thickness:	39.8						

Contents

- Stack Up

- CPU

 - § Ball Fanout

 - § A64 Power/GND

 - § 24MHz Crystal

- Memory

 - § DRAM

 - § NAND、eMMC

- AXP803 (PMIC&Codec)

 - § Power

 - § Audio

- Interface

 - § CSI

 - § MIPI DSI、LVDS

 - § HDMI

 - § USB、HSIC

- WIFI/BT/GPS

 - § WIFI、BT

 - § GPS

- ESD/EMC

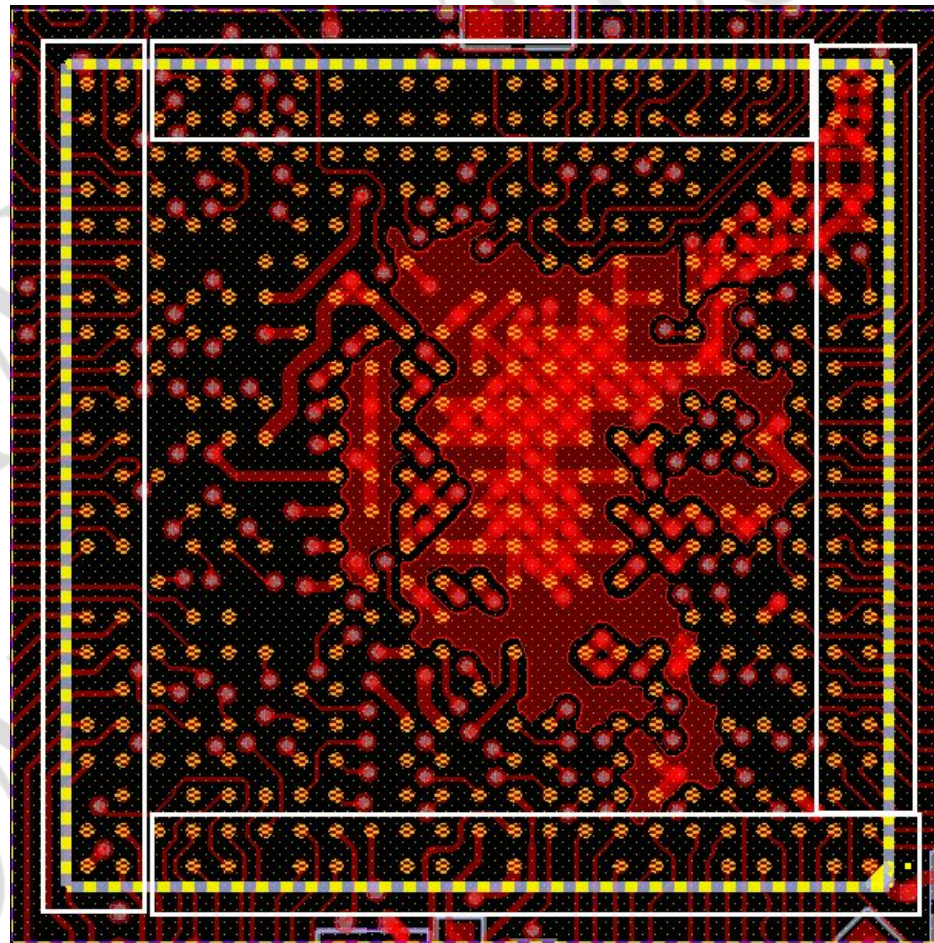
 - § ESD

 - § EMC

CPU Fanout

1、第一圈、第二圈的Ball，尽量从TOP层拉出走线，如下图白色方框所示：

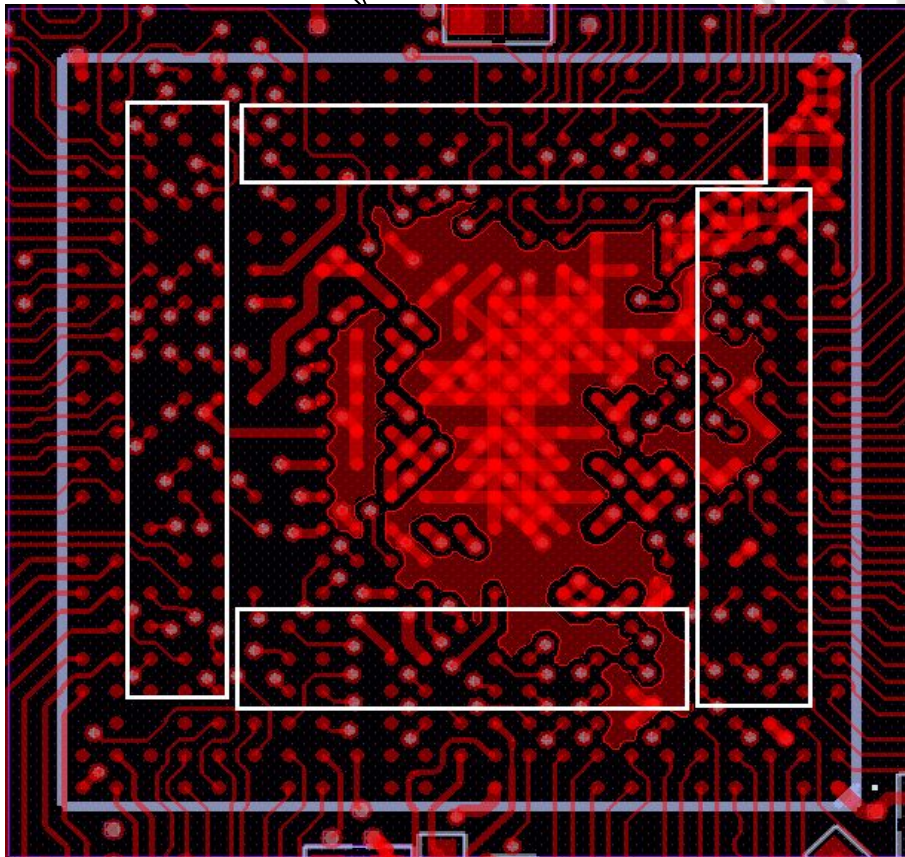
❖线宽4mil，间距4mil



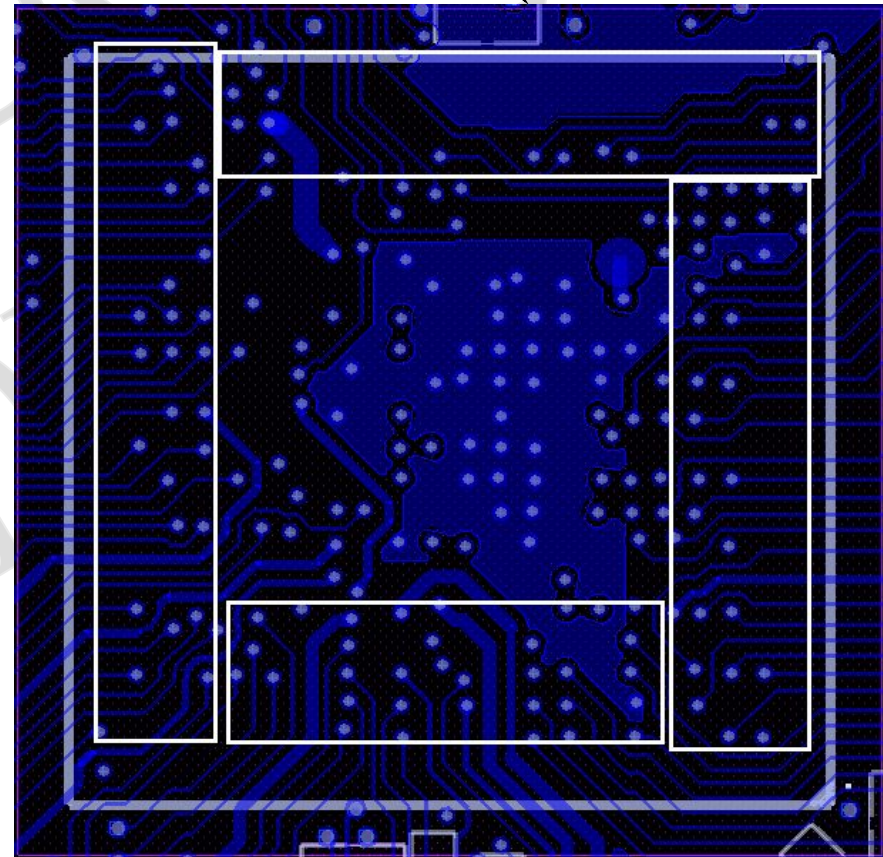
CPU Fanout

2、第三到五圈的Ball，用10/18mil过孔扇出，从Bottom层出线（6层板也可从内层信号层出线），如白色方框所示：

TOP层

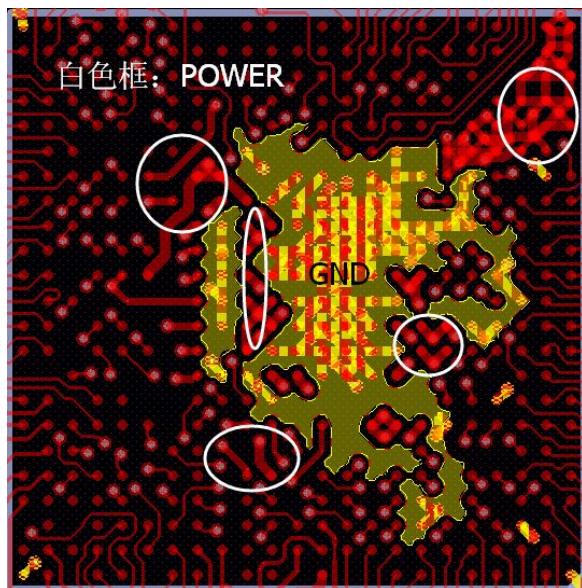


Bottom层



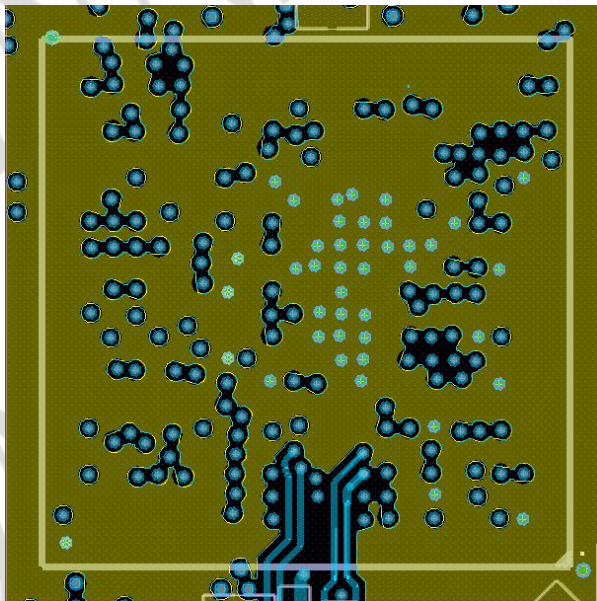
CPU Fanout

3、中间Power和GND Ball，用10/18mil过孔从内层覆铜出线，注意留出尽量多的覆铜通道：

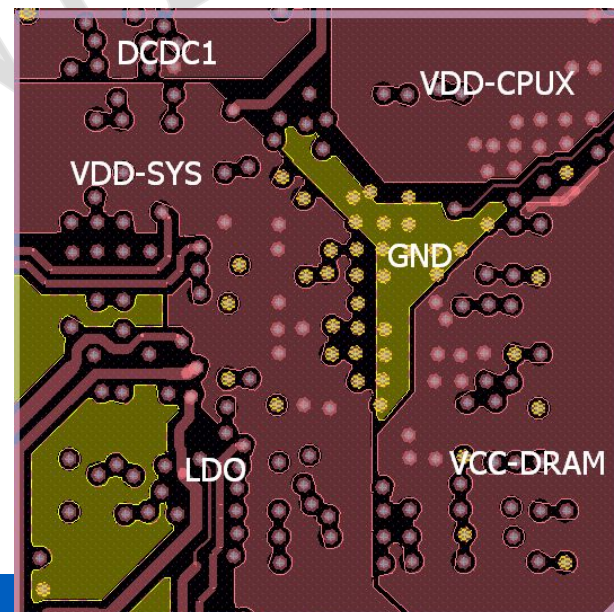


TOP层

内层GND



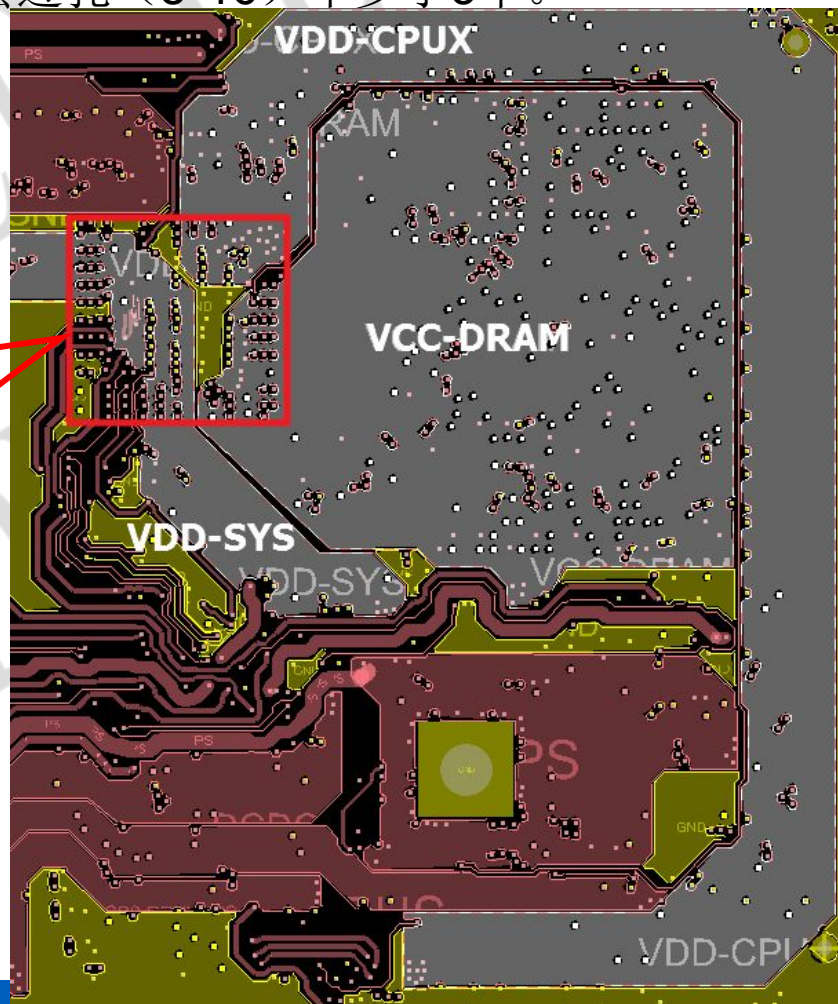
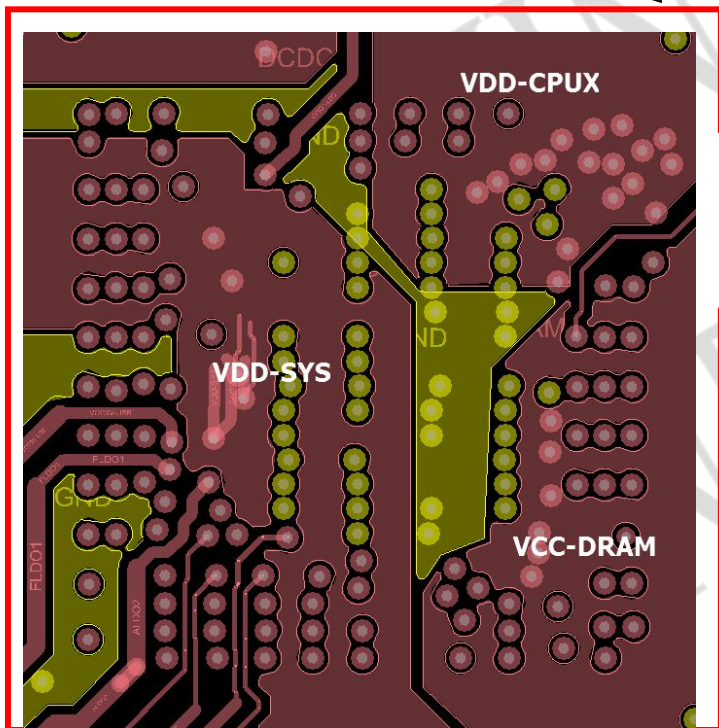
内层Power



A64 Power

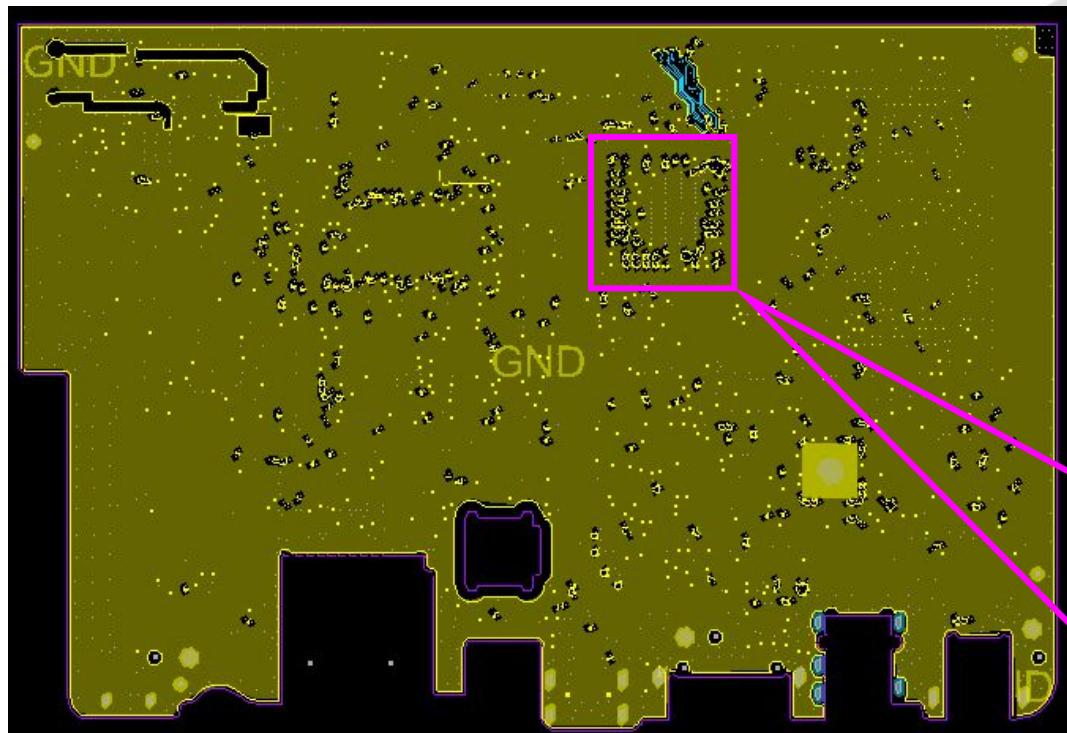
- 1、A64的3个主电源网络(VDD-CPUX,VCC-SYS,VCC-DRAM)必须保证走线宽度，尽量用覆铜连接，并尽量加宽覆铜宽度。
- 2、PMIC端到主控端的DCDC电源换层过孔（8*16）不少于5个。

调整过孔位置，减少过孔对平面的破坏。尤其CPU下方位置，尽量加大覆铜有效连接宽度。

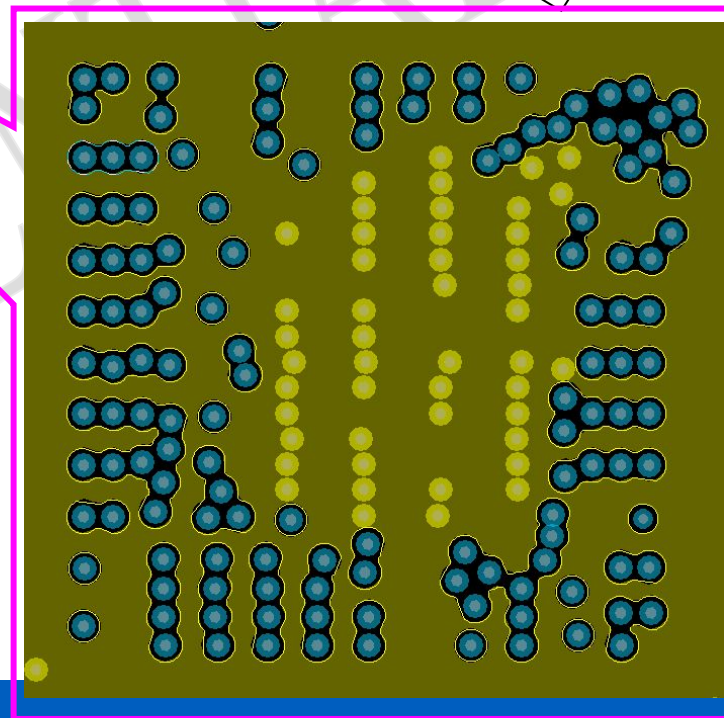


A64 Power

2、GND必须保证走线宽度，尽量用覆铜连接，并尽量加宽覆铜宽度。



调整过孔位置，减少过孔对平面的破坏。尤其CPU下方位置，尽量加大覆铜有效连接宽度。

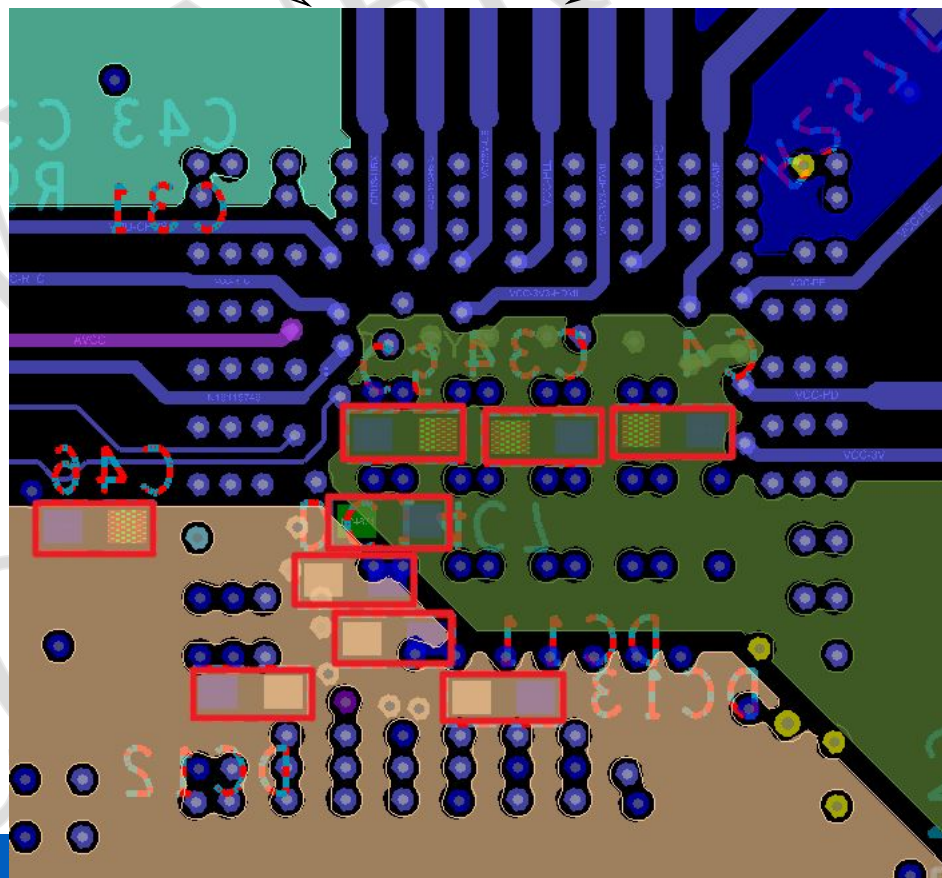


A64 Power

3、Bypass电容-双面布局:

将滤波电容放置在A64电源管脚下方的PCB背面。

保证电容每个VCC管脚或GND管脚不少于一个过孔，尽量多打过孔。

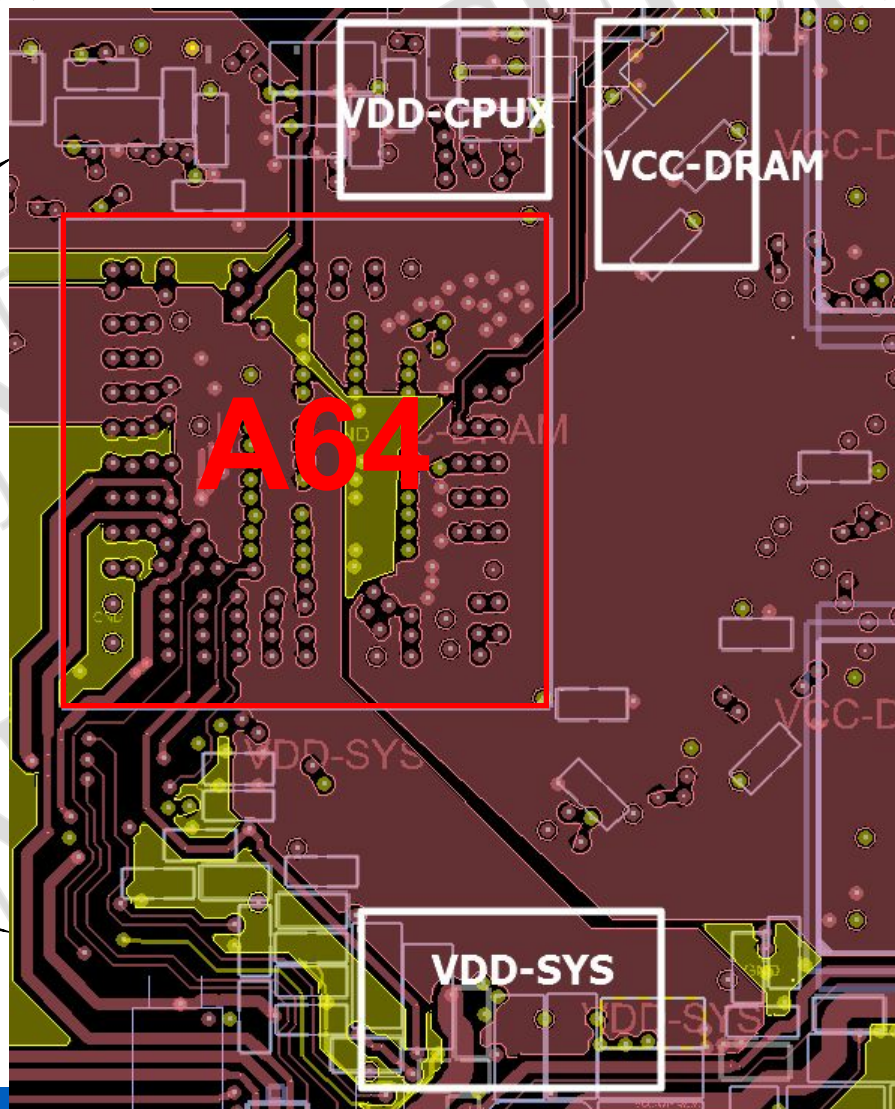


A64 Power

4、Bypass电容-单面布局:

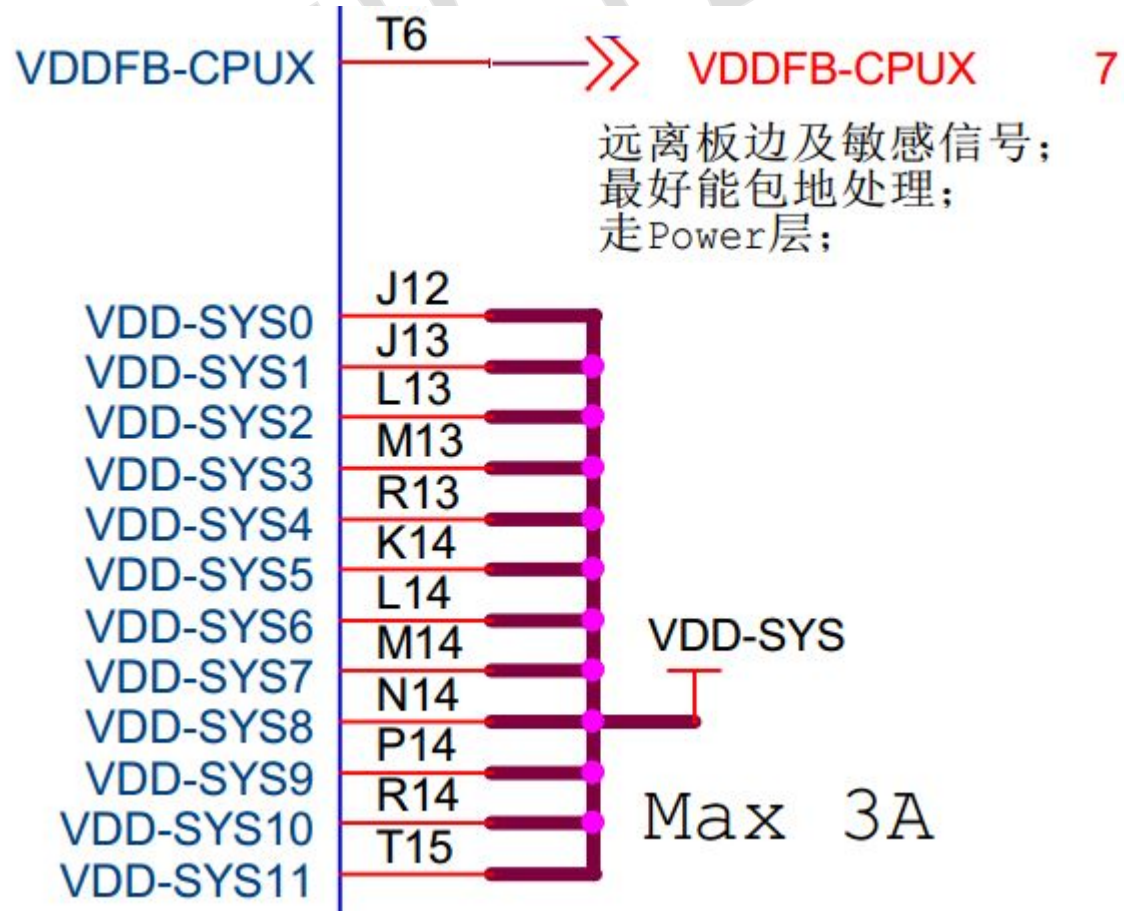
滤波电容尽量靠近
A64放置。

保证电容每个VCC管脚或
GND管脚不少于一个过孔，
尽量多打过孔。



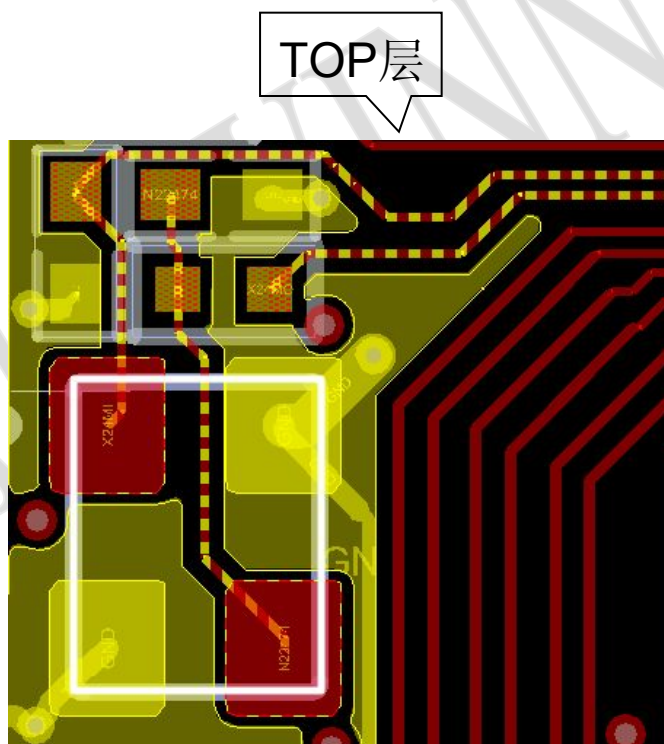
A64 Power

3、VDDFB-CPUX为电源反馈信号，远离板边及远离DDR、CSI、SD CARD等干扰信号走线，需要包地保护，最好能走Power层，与VDD-CPUX平行走线。



24MHz Crystal

- 1、晶体尽量靠近IC摆放，避免晶体走线过长。
- 2、晶振的匹配电容必须靠近晶振摆放
- 3、晶体及其走线区域的外围和相邻层，用GND屏蔽保护。
- 4、晶体及其走线区域的相邻层，禁止其它走线。



Contents

- Stack Up
- CPU
 - § Ball Fanout
 - § 24MHz Crystal
 - § A64 Power/GND
- Memory
 - § DRAM
 - § NAND、eMMC
- AXP803 (PMIC&Codec)
 - § Power
 - § Audio
- Interface
 - § CSI
 - § HDMI
 - § MIPI DSI、LVDS
 - § USB、HSIC
- WIFI/BT/GPS
 - § WIFI、BT
 - § GPS
- ESD/EMC
 - § ESD
 - § EMC

DRAM

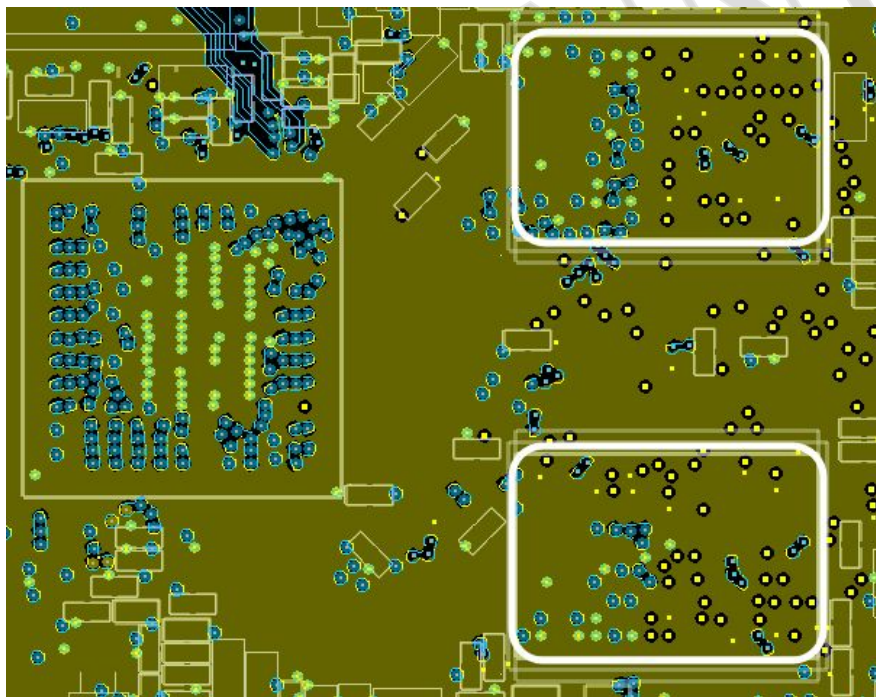
❖ 建议直接导入全志的DRAM Layout模板到您的Layout设计中，以确保DRAM的速率和稳定性。

❖ 如果条件限制无法完全导入模板，请参照模板说明进行Layout，并确保以下关键点：

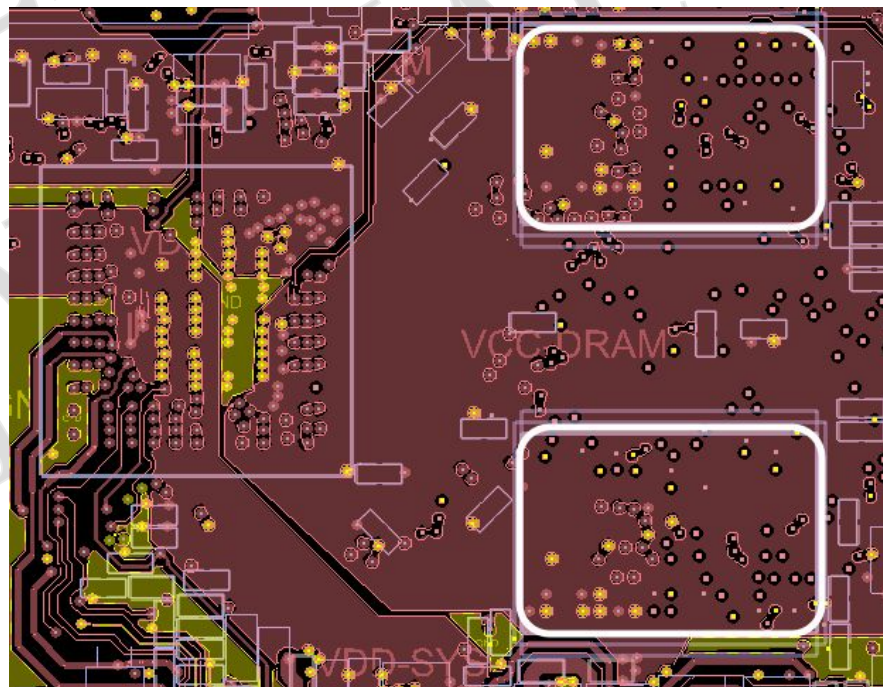
DRAM

- 1、所有走线的相邻层必须有完整的电源平面或地平面。
一个4层板实例如下：

TOP走线相邻层是完整的GND平面



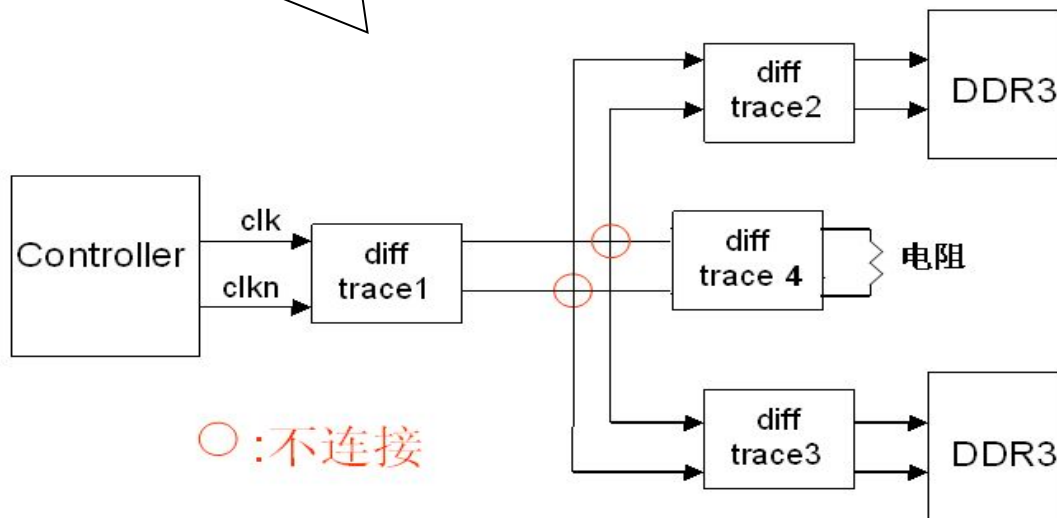
Bottom相邻层是完整的DRAMVCC平面



DRAM

2、CK/CKB必须走远端簇型拓扑。

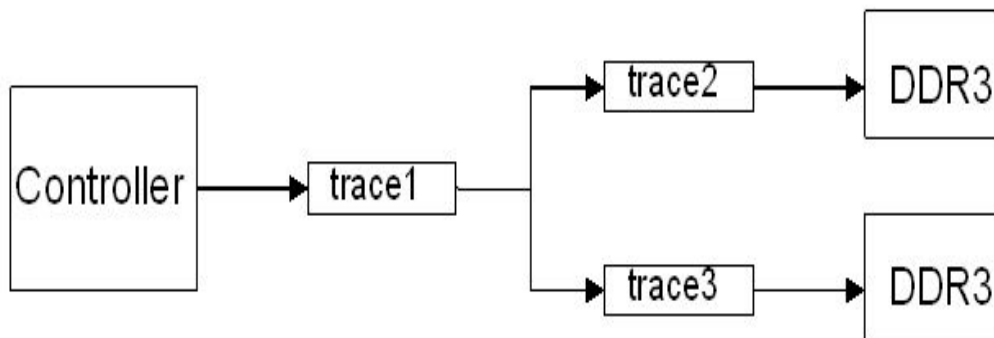
对于两片颗粒：
 $\text{diff_trace1} > \text{diff_trace2}$ 或 diff_trace3
 $\text{diff_trace2} < 600\text{mil}$
 $\text{diff_trace3} < 600\text{mil}$
 $\text{diff_trace2} - \text{diff_trace3} < \pm 50\text{mil}$
 $\text{diff_trace4} < 100\text{mil}$



DRAM

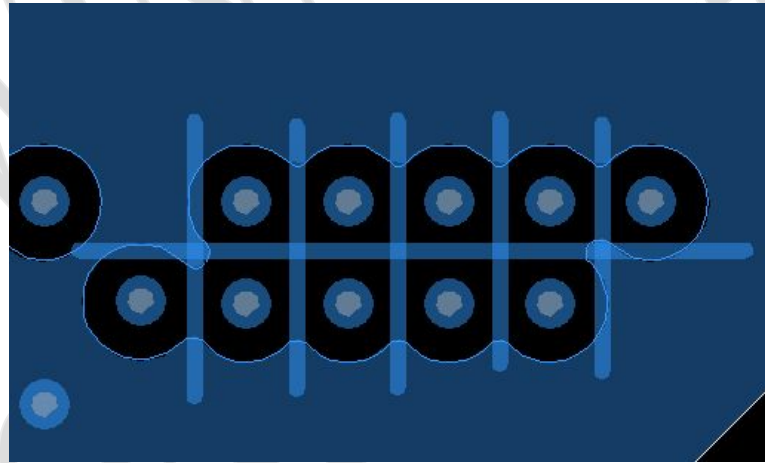
3、Ax,BAx,CAS,RAS,WE,CSx,ODTx,CKEx尽量走远端簇型拓扑。

对于两片颗粒：
trace1 > trace2或trace3
trace2 < 600mil
trace3 < 600mil
trace2 - trace3 < +/- 50mil



DRAM

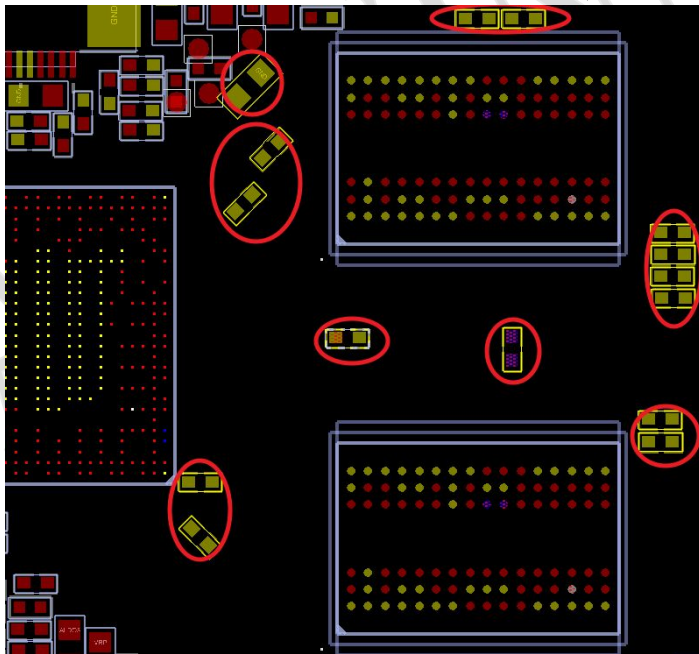
- 4、差分对（CK/CKB、DQSx/DQSBx）控制差分阻抗100ohm，与其他网络的间距4W，W为线宽。
- 5、单端线控制阻抗50ohm，间距2W。W为线宽。
- 6、Vref走线与其他网络的间距大于4W，滤波电容尽量靠近管脚放置。
- 7、调整好过孔的位置、间距，减少对电源、地平面的破坏。平面断开处用走线连接。



DRAM

8、电源滤波电容尽量靠近电源管脚放置，最好能放置在电源管脚下方的PCB背面。每个电容至少各一个电源过孔和地过孔。

单面布局，电容尽量靠近电源管脚

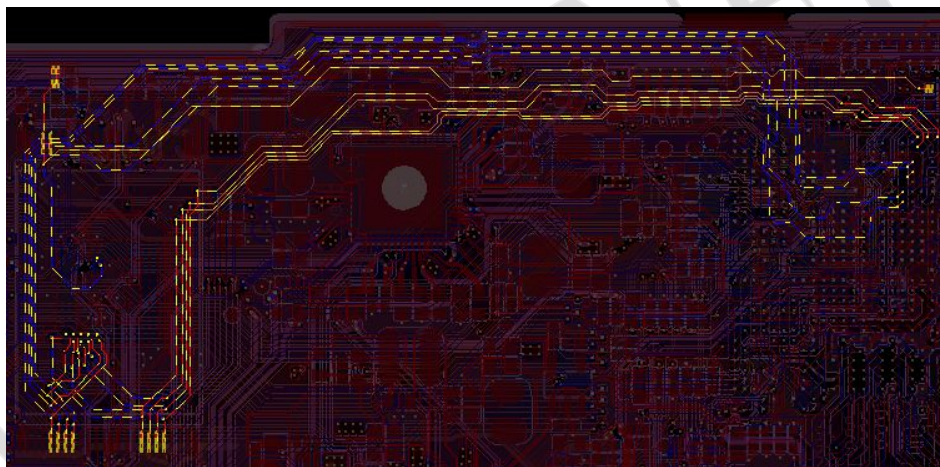


双面布局，电容放置在电源管脚下方的PCB背面

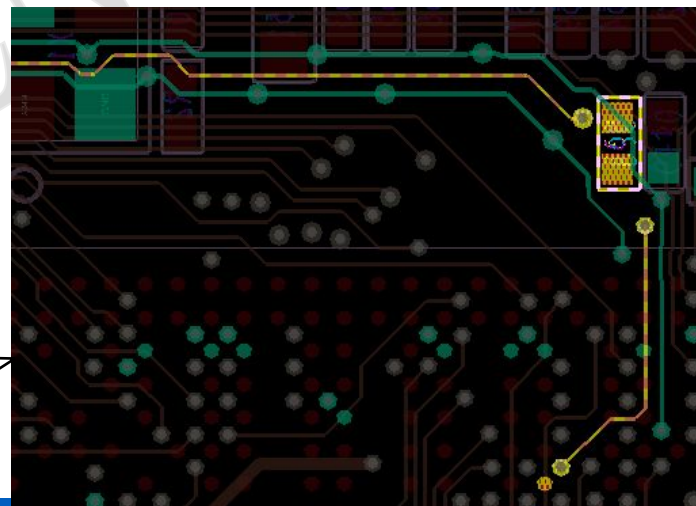


NAND/eMMC

- 1、数据D0-D7走线和时钟CLK走线尽量集中走线，不允许过分分散走线，走线总长度 $<2000\text{mil}$ 。
- 2、D0-D7相对于CLK等长控制 $<300\text{mil}$ ；走线阻抗50欧；线间距不小于2倍线宽；Data线上对称使用过孔；



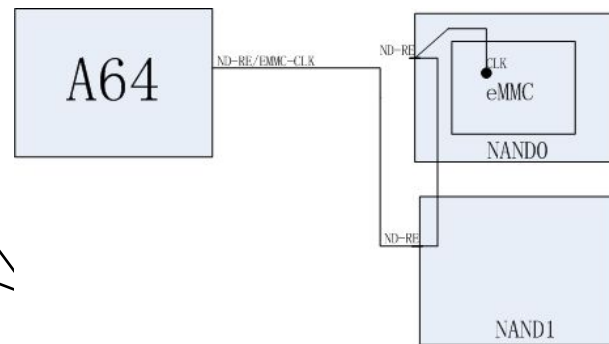
- 3、建议eMMC-CLK包地。
- 4、eMMC-CLK上的串联电阻靠近CPU摆放，建议距离 $<300\text{mil}$ 。



NAND/eMMC

- 5、eMMC所有电源和地引脚都要连接；eMMC NC/RFU等保留引脚都悬空，不可将这些信号与电源、地、或其他eMMC信号连接在一起；
- 6、eMMC VCC、VCCQ网络都需要使用电容，电容值可参考eMMC Datasheet，且这些电容务必靠近电源引脚摆放。
- 7、eMMC信号连接到CPU的一组GPIO上，该组GPIO的供电必须与eMMC VCCQ使用同一路电源，避免产生上电时序问题。CPU GPIO供电网络需要使用电容，且电容必须靠近主控摆放。如果供电线路上有过孔，过孔数量不少于3个，避免过孔限流影响供电。
- 8、建议VCC, VCCQ线宽不小于12mil，或使用敷铜代替电源走线；
- 9、建议在CPU端与eMMC端，将CLK, DS, CMD, DATA0信号进行开窗，方便引线进行信号测量。
- 10、eMMC所有信号走线参考平面完整；缩短DS下拉电阻走线引入的分叉。

11、NAND/eMMC双Lay时，走线采用菊花链方式，将eMMC作为走线的终点，尽量减少分叉线长度。如果期望eMMC运行在较高频率，则建议只使用eMMC，保证主控IO与eMMC点对点连接。



Contents

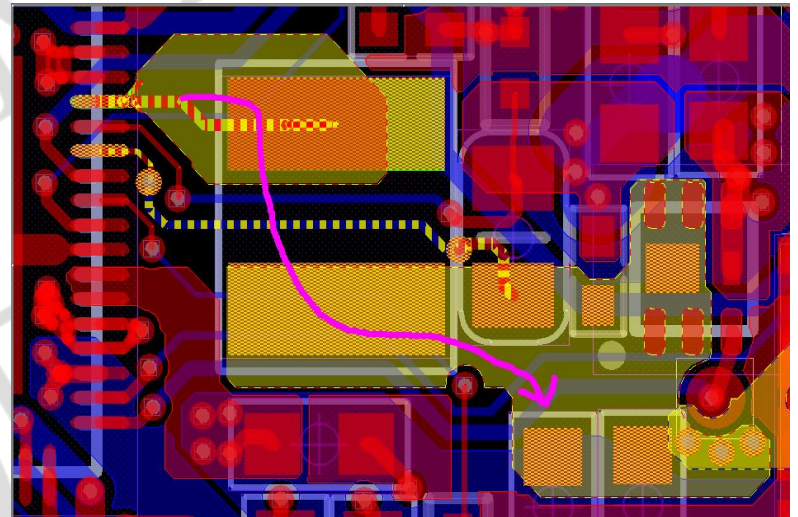
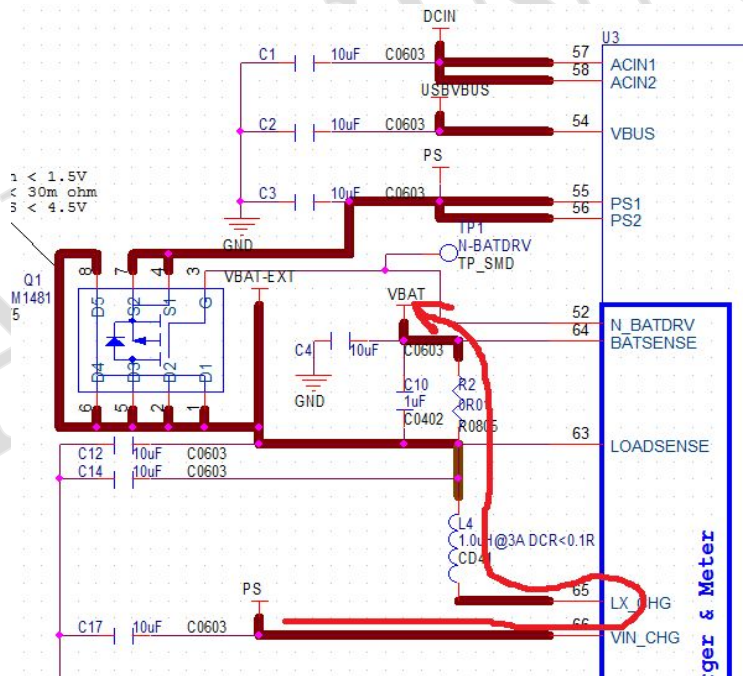
- Stack Up
- CPU
 - § Ball Fanout
 - § 24MHz Crystal
 - § A64 Power/GND
- Memory
 - § DRAM
 - § NAND、eMMC
- **AXP803 (PMIC&Codec)**
 - § **Power**
 - § **Audio**
- Interface
 - § CSI
 - § HDMI
 - § MIPI DSI、LVDS
 - § USB、HSIC
- WIFI/BT/GPS
 - § WIFI、BT
 - § GPS
- ESD/EMC
 - § ESD
 - § EMC

AXP803 Power

❖ 电池充放电电流非常大，因此充放电路径要小心Layout，以提高充放电效率和精度。

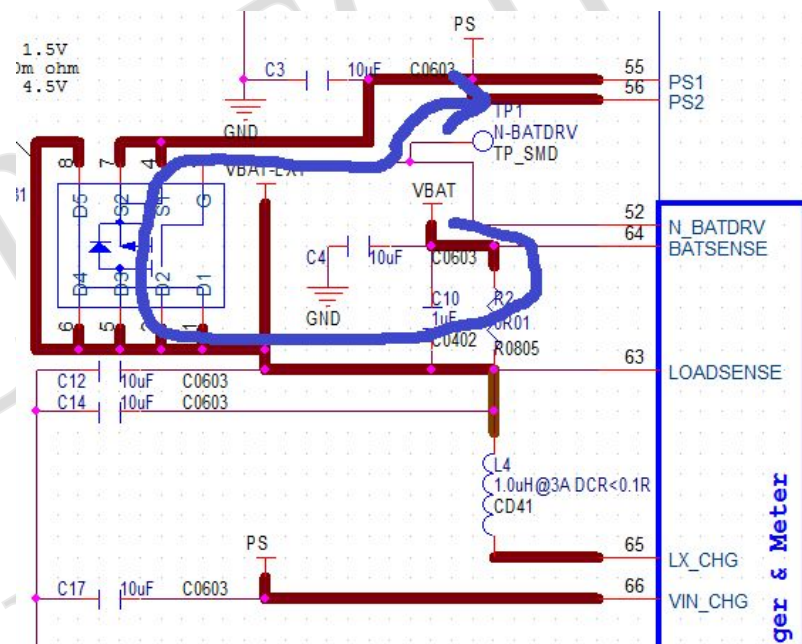
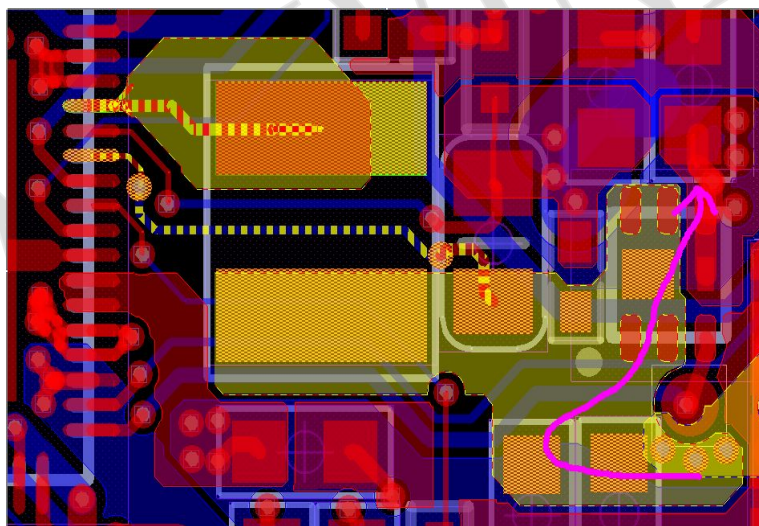
1、充电路径如图所示：

走线线宽40-100mil，建议用覆铜方式连接。整个通路尽量短，距离<180mil。



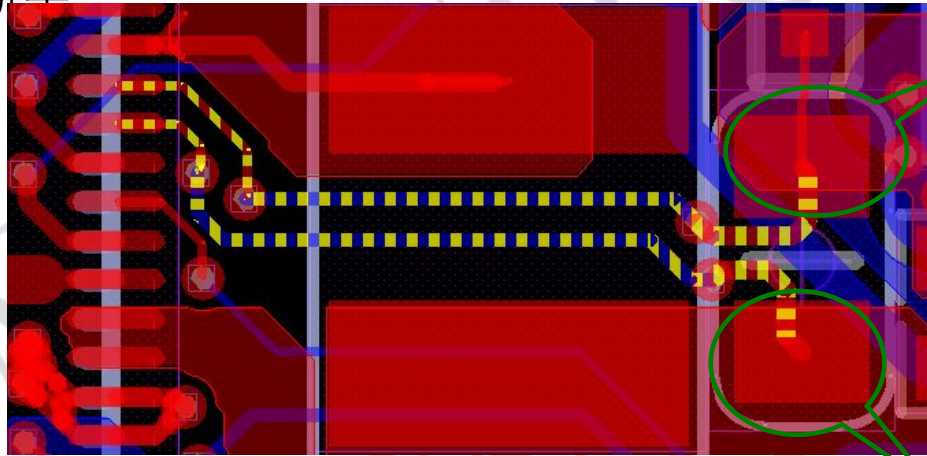
AXP803 Power

- 2、放电路径如图所示：
BAT放电路径为VBAT->采样电阻
->外部PMOS->PS，走线线宽
>=100mil。



AXP803 Power

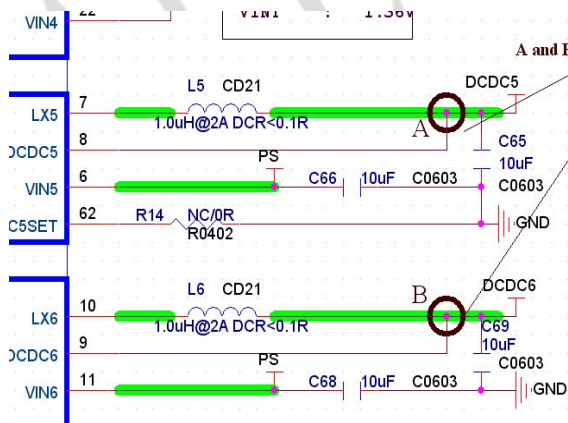
3、采样反馈信号BATSENSE、LOADSENSE；从采样电阻的焊盘两端平行向里拉出，如下图所示



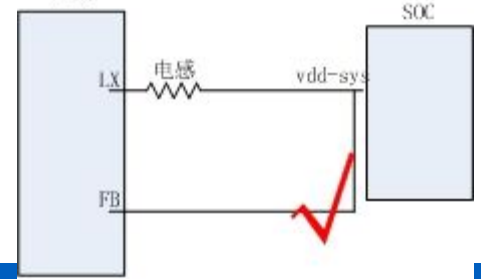
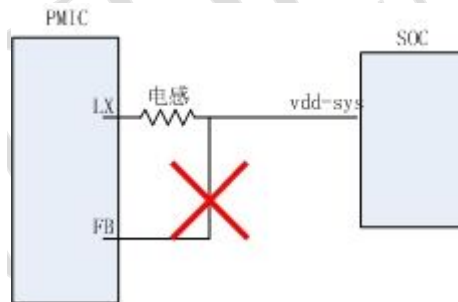
BATSENSE

LOADSENSE

4、DCDC5、DCDC6的反馈信号线从主控端拉回到PMIC端。



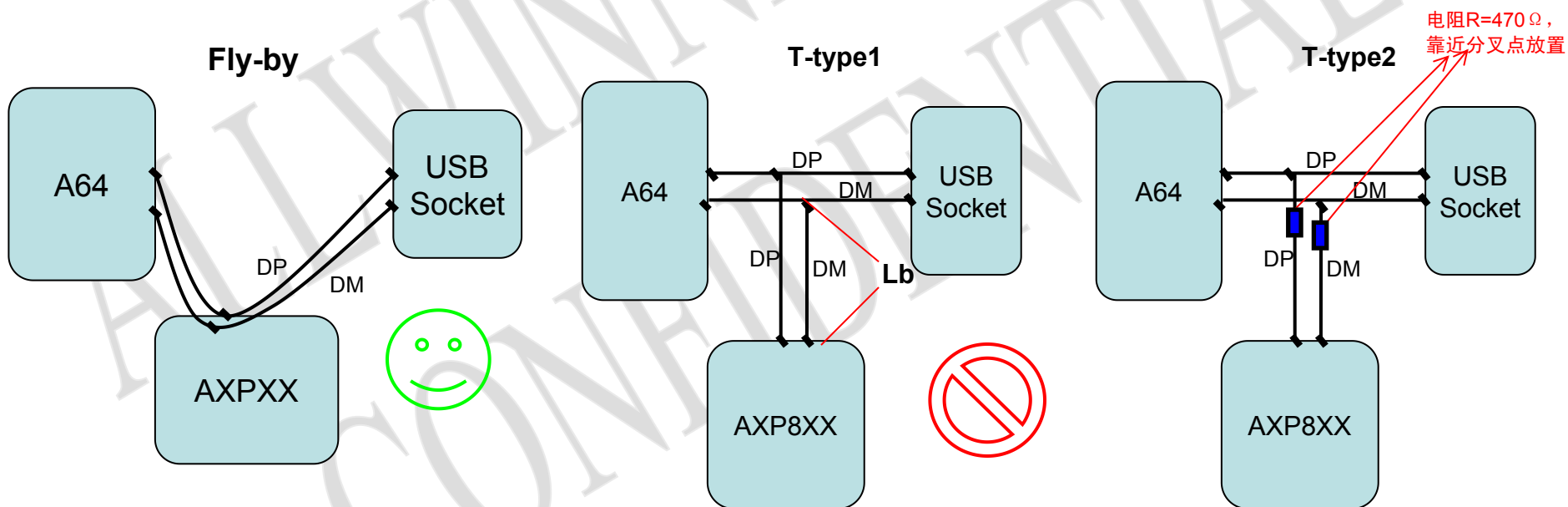
A and B mount Close to AP.



AXP803 Power

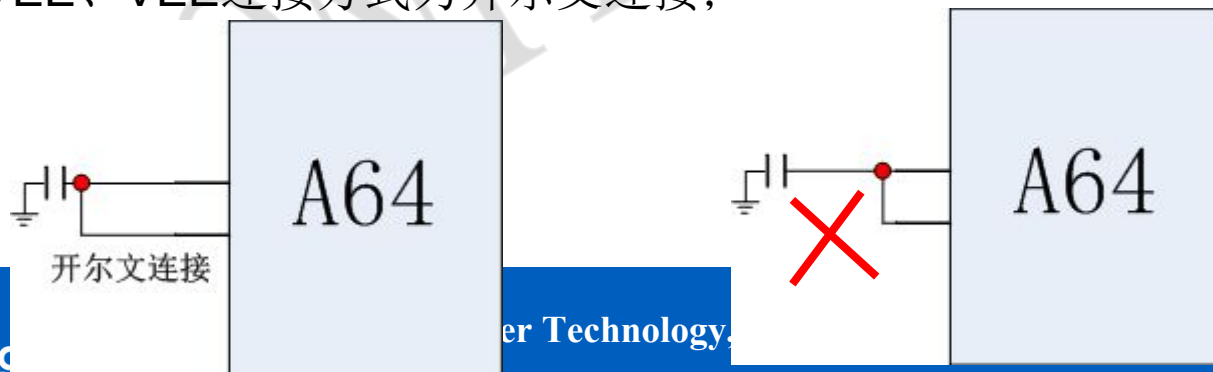
4、AXP803支持BC1.2功能，在PCB设计时，必须注意USB DP/DM信号的Layout，如下图所示：

- 建议使用Fly-by的方式进行连接；
- 避免采用T-type连接，如果不可避免，必须保证 $L_b < 10\text{mm}$ （400mils）。
- 如果无法保证 $L_b < 10\text{mm}$ ，可串联 470Ω 的电阻；该电阻在layout时，必须放置在分叉处！



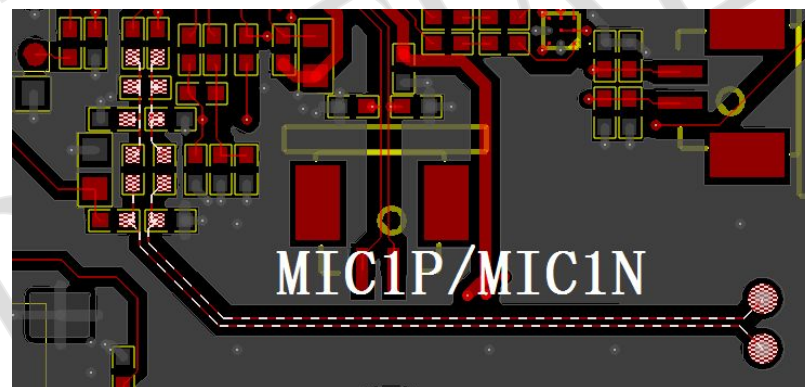
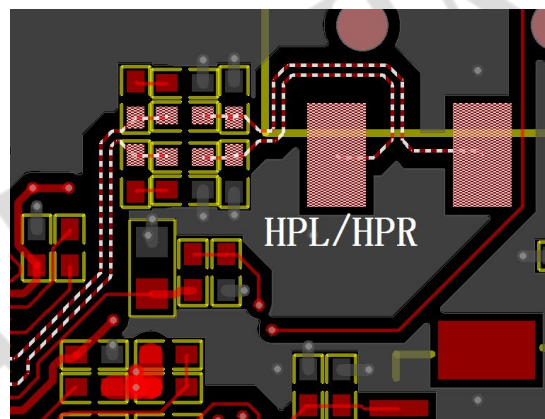
Audio

- AGND接地电阻靠近A64 AGND PIN摆放，以保证AGND与GND的环路尽可能小；
- AGND接地电阻就近打过孔与内层GND连接，过孔不少于3个。
- AGND建议铺铜走线！！
- VRA1/VRA2滤波电容靠近相应PIN摆放，并确保与AGND的良好连接。
- AVCC、CPVDD、CPVEE、VEE、CPP、CPN滤波电容靠近pin摆放。104电容优先靠近。
- CPVDD、CPVEE、VEE、CPP、CPN需按Power来处理，电流大小为200mA；
- CPVEE、VEE连接方式为开尔文连接；



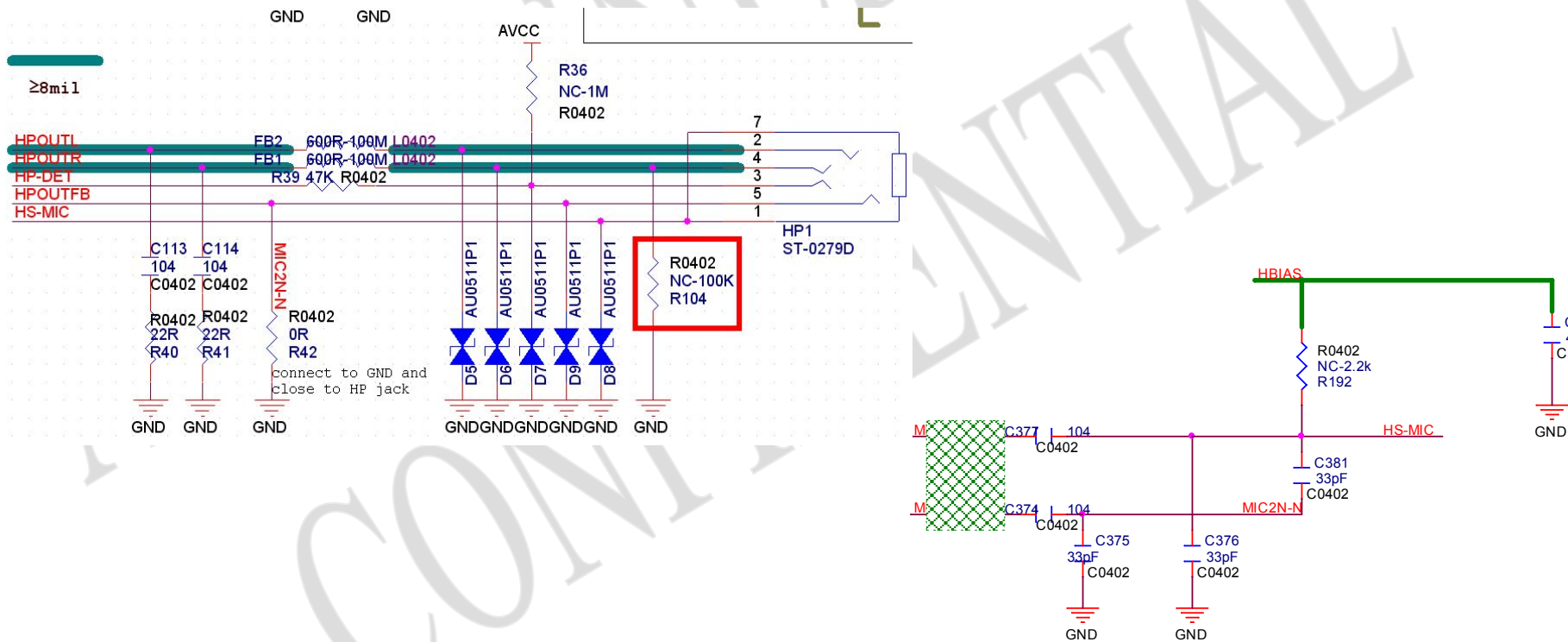
Audio

- HPOUTL/HPOUTR、MIC1P/MIC1N、MIC2P/MIC2N、LINEINP/LINEINN、LINEOUTP/LINEOUTN、PHONEINP/PHONEINN、PHONEOUTP/PHONEOUTN需并行走线并做好包地屏蔽保护
- 走线及过孔远离DRAM、LCD高速信号。
- HPOUTL/HPOUTR走线宽度不小于8mil。



Audio

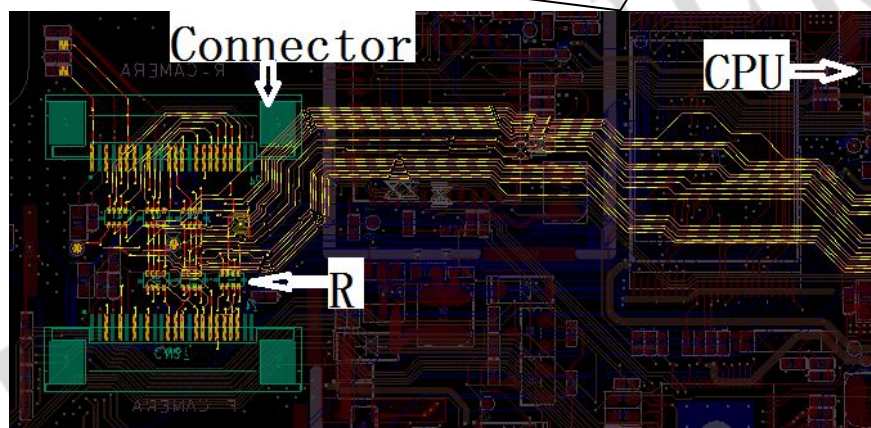
➤使用带MIC功能的耳机在接地时必须注意：**HPOUTFB/MIC2N-N在靠近耳机端通过0Ohm电阻（如下图R42）单点接地，并且MIC2N-N与HS-MIC组成伪差分对，走线时需要并行走线；**



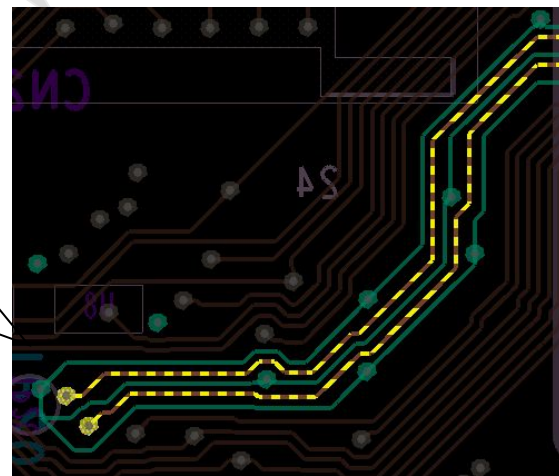
Contents

- Stack Up
- CPU
 - § Ball Fanout
 - § 24MHz Crystal
 - § A64 Power/GND
- Memory
 - § DRAM
 - § NAND、eMMC
- AXP803 (PMIC&Codec)
 - § Power
 - § Audio
- Interface
 - § CSI
 - § HDMI
 - § MIPI DSI、LVDS
 - § USB、HSIC
- WIFI/BT/GPS
 - § WIFI、BT
 - § GPS
- ESD/EMC
 - § ESD
 - § EMC

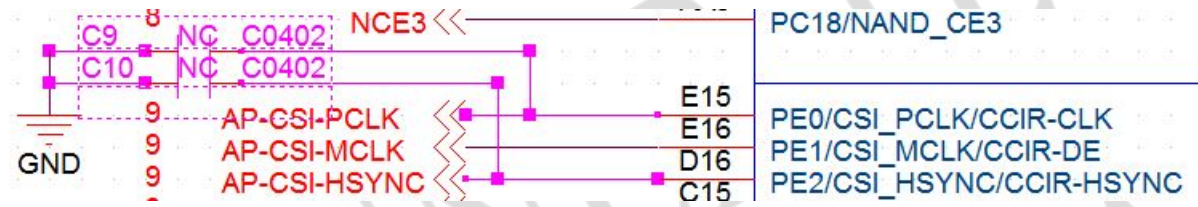
- 1、走线尽量集中走线，不允许过分分散走线。
- 2、串接电阻，需要靠近摄像头插座摆放。
- 3、CAMERA布局时需要远离大功率辐射器件，如GSM天线等，防止出现彩条，花屏，水波纹等干扰情况



- 4、PCLK必须包地屏蔽，MCLK建议包地屏蔽。PCLK/MCLK在内层走线，可提高整机EMC性能。

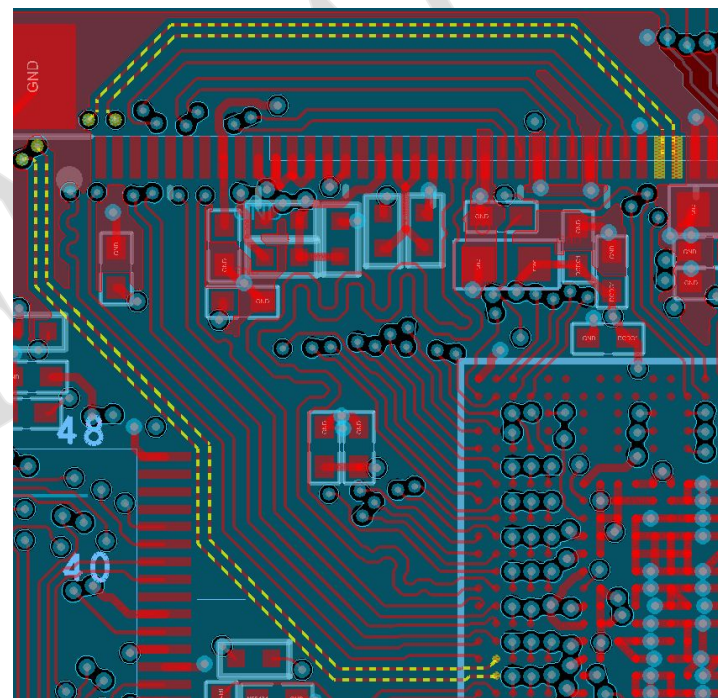
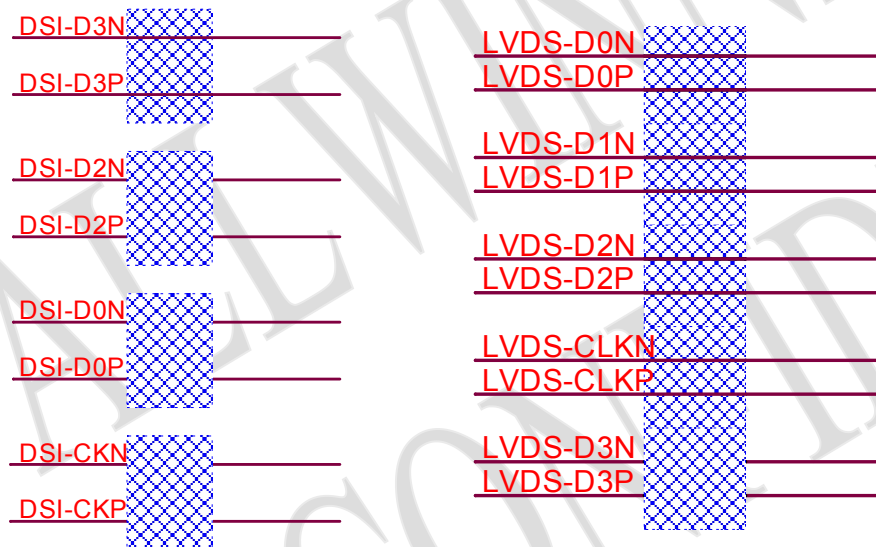


- 5、PCLK上的NC电容和HSYNC上的NC电容，靠近CPU摆放。
MCLK如需并联电容，请靠近Connector摆放。



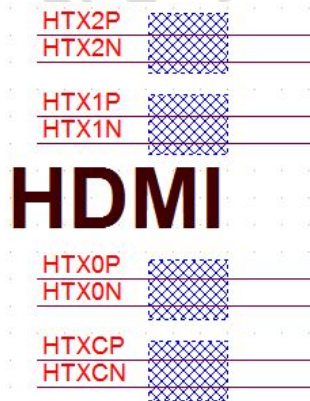
MIPI DSI/LVDS

- 1、线宽不宜小于4mil，否则损耗过大。
- 2、需要控制差分阻抗90-100ohm。
- 3、差分走线参考面完整。
- 4、两差分对之间的间距不小于12mil。



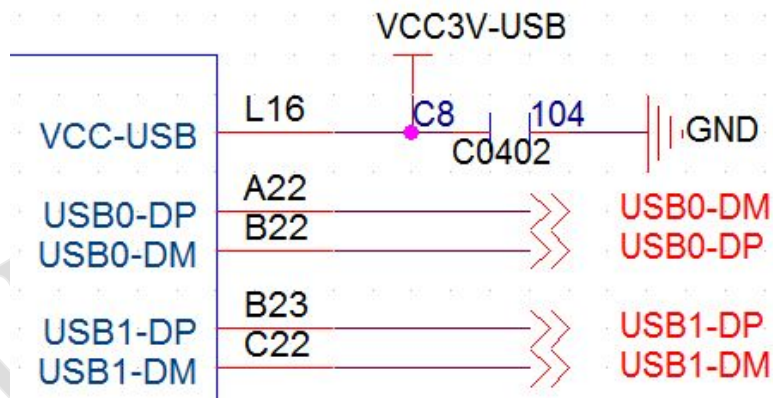
HDMI

- 1、线宽不宜小于4mil，否则损耗过大。
- 2、需要控制差分阻抗90-100ohm。
- 3、差分走线参考面完整。
- 4、两差分对之间的间距不小于12mil。
- 5、HDMI信号线总长度应该 < 3000mil。
- 6、差分线对内、对间尽量等长，对内误差<10mils，对间误差<200mil
- 7、HDMI差分走线拐角45度，最好为圆弧。过孔不超过2个，若有4Kx2K应用和CTS认证需求，最好没有过孔。



USB/HSIC

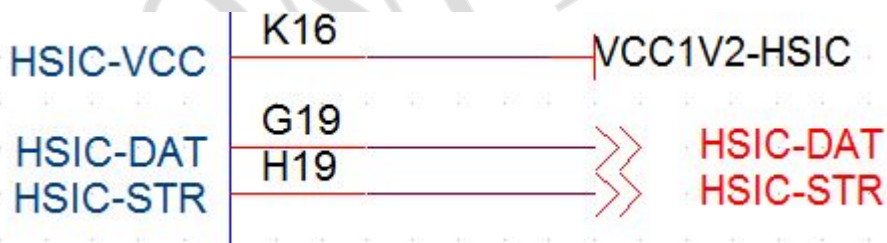
1、USB0-DM/ USB0-DP、 USB1- DM/ USB1- DP为差分对，差分对阻抗为90ohm，必须有完整参考平面，尽量减少换层打孔，尽量减少短分支长度。



2，HSIC-STROBE和HSIC-DATA走线总长度分别要小于10cm；

3，HSIC-STROBE和HSIC-DATA分别控制50ohm单端阻抗，分别包地，走线需要有完整参考面。

4，HSIC-STROBE和HSIC-DATA需做10mil以内的等长；

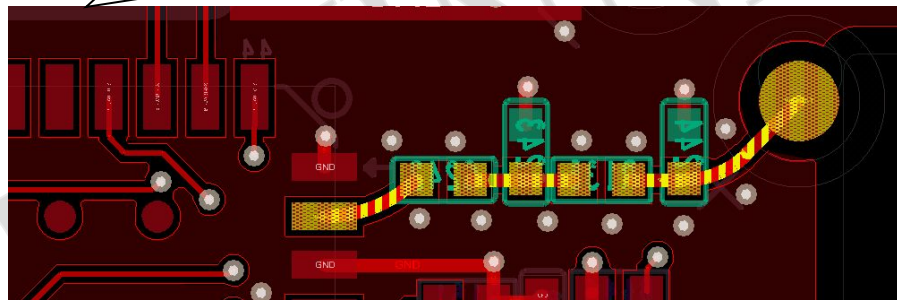


Contents

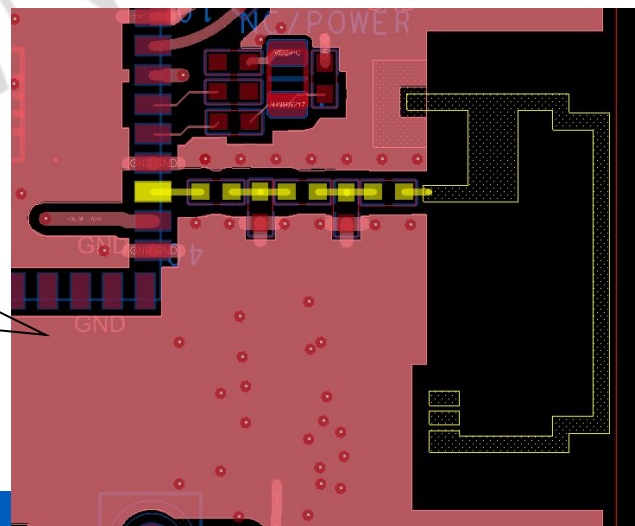
- Stack Up
- CPU
 - § Ball Fanout
 - § 24MHz Crystal
 - § A64 Power/GND
- Memory
 - § DRAM
 - § NAND、eMMC
- AXP803 (PMIC&Codec)
 - § Power
 - § Audio
- Interface
 - § CSI
 - § HDMI
 - § MIPI DSI、LVDS
 - § USB、HSIC
- **WIFI/BT/GPS**
 - § **WIFI、BT**
 - § **GPS**
- ESD/EMC
 - § ESD
 - § EMC

WIFI/BT

- 1、模组尽量靠近天线或天线接口。远离DDR、LCD电路、马达、SPEAKER等易产生干扰的模块。
- 2、天线馈线阻抗为50ohm，左右包地并沿途多打GND过孔。馈线最好隔层参考，以增加线宽。
- 3、合理布局天线馈线的匹配电容电阻，使馈线平滑，最短。无分支，无过孔，少拐角。



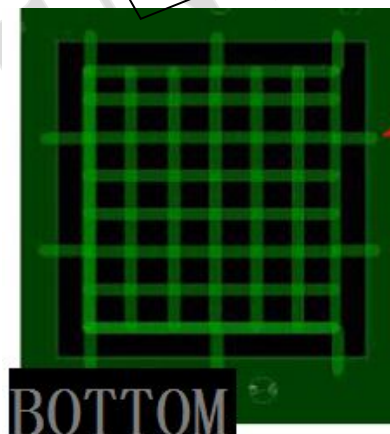
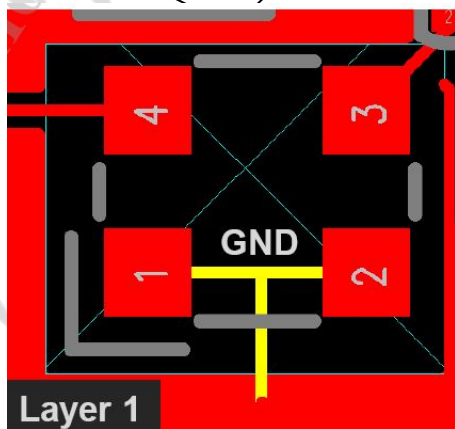
- 4、如使用PCB走线作天线，请确保天线走线附近区域完全净空，净空区域大于50mm²。天线本体至少距周围的金属1CM以上。



GPS

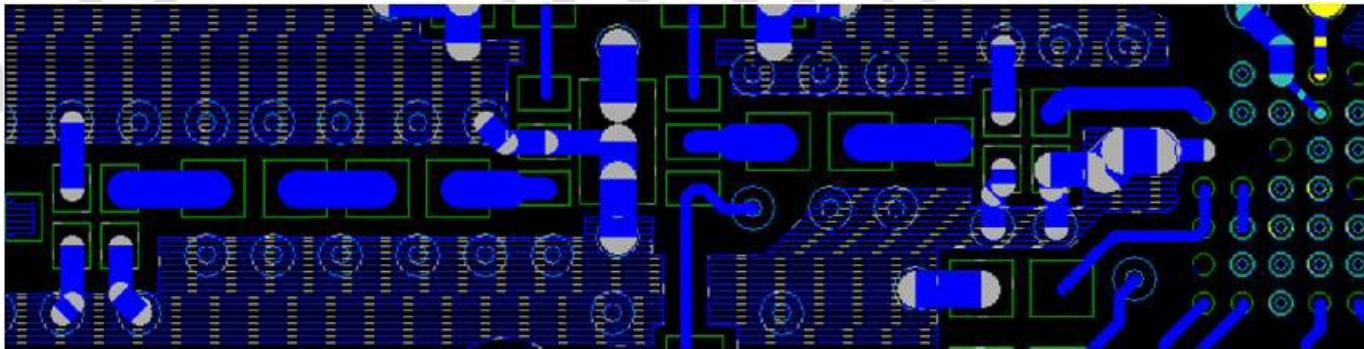
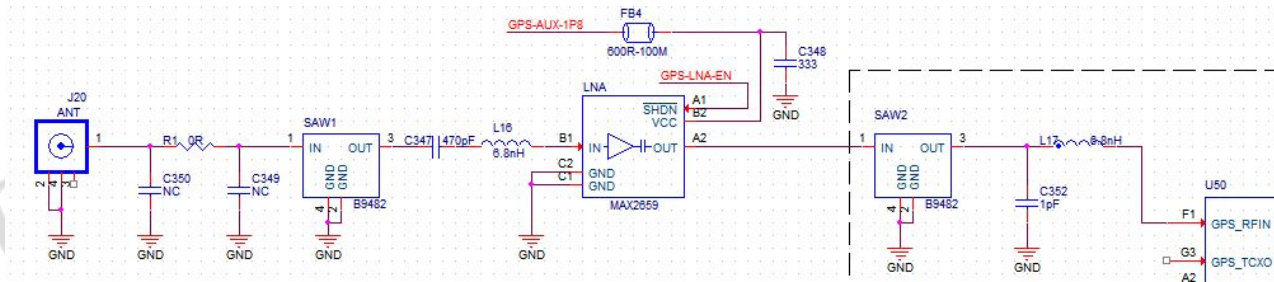
- 1、GPS电路位置，尽量远离其他元器件，远离电源、远离各种插座、远离摄像头、LCD背光，间距至少2cm。
- 2、TCXO对温度敏感，尽量远离PMU、CPU、PA、散热器等发热体。TCXO靠近GPS BB摆放。

- 3、为减少温度影响，TCXO下方各层都必须净空 (Bottom层除外)，Bottom层以“网格形状”覆地，并且“网格形状”接地点要少一些。
- 4、TCXO接地管脚单点接地。



GPS

- 5、LNA、SAW、GPS BB接地引脚要良好接地，连接内层地的过孔尽量靠近引脚。
- 4、RF走线控制阻抗50ohm，两边需包地，与包地距离为2H，H为RF线与参考地平面高度。地铜皮沿途打过孔到内层地，过孔间隔25mil (0.635mm)。

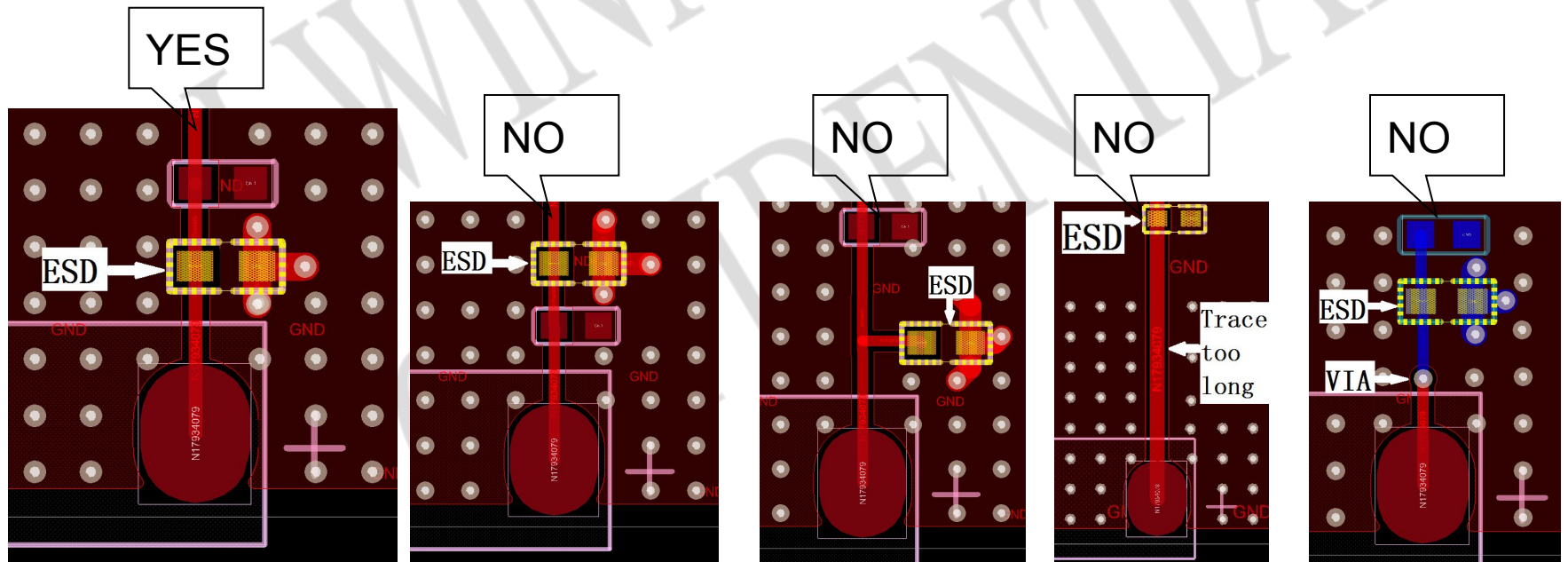


Contents

- Stack Up
- CPU
 - § Ball Fanout
 - § 24MHz Crystal
 - § A64 Power/GND
- Memory
 - § DRAM
 - § NAND、eMMC
- AXP803 (PMIC&Codec)
 - § Power
 - § Audio
- Interface
 - § CSI
 - § HDMI
 - § MIPI DSI、LVDS
 - § USB、HSIC
- WIFI/BT/GPS
 - § WIFI、BT
 - § GPS
- ESD/EMC
 - § ESD
 - § EMC

ESD

- 1、所有的ESD器件都必须尽量靠近各个接口摆放。
- 2、信号走线从接口进来后，以最短长度（最好没有过孔）连接到ESD器件上，再从ESD器件连接到其它器件。
- 3、ESD器件接地管脚，以尽量短，尽量宽（大于20mil）的引线，打过孔到主GND层，过孔尽量多。接地管脚覆铜全连接并多过孔连接主GND层更佳。
- 4、所有接口周围，内层要有完整的主GND层，表层覆GND铜皮并尽量多打过孔与主GND层连接。



ESD

- 1、USB DP/DM信号上的ESD器件寄生电容必须 $<5\text{pF}$ 。
- 2、HDMI差分信号ESD器件寄生电容必须 $<2\text{pF}$ 。

EMC

- 1、尽量减少表层走线。走线减少换层，走线减少跨越参考平面。
- 2、沿PCB边缘打地过孔，连接各层地。过孔间距小于3cm。
- 3、高速数字信号区域要求加屏蔽罩减少辐射，包括DRAM，CPU，LCD走线，CSI走线区域，HDMI走线区域。屏蔽罩的安装地脚，尽量密，间距不能大于3cm。
- 3、SDIO_CLK，SDC_CLK，MCLK，PCLK尽量内层走线并包地，包地沿途打地过孔。走线不跨越参考平面。走线要尽量短，少换层。增加串阻，串阻靠近主控放置。
- 4、LVDS等差分信号的匹配电阻放置在靠近接口处。
- 5、AP RST复位信号走线不能靠近板边，必须距离板边2cm以上。



Disclaimer: All logos and copyrights used in this presentation belong solely to their respective companies and owners.

This presentation is for reference only and has no commitment. All content contained herein is subject to change without notice. For more information, please contact service@allwinnertech.com.